

# 練習問題

- 比例縮小係数  $\alpha = 3$  (1/3にスケールリング)で定電界比例縮小を行なうとき、以下の問1~3について答えよ。
  1. CMOS論理回路の電力遅延積は何倍になるか。
  2. CMOS論理回路の最高動作周波数は何倍になるか。ただし、MOSFETの閾値電圧と電源電圧の比は変更されないと仮定する。
  3. CMOS論理回路の充放電消費電力は何倍になるか。クロック周波数を変更しない場合と、クロック周波数を最高動作周波数に合わせて変更した場合のそれぞれについて求めよ。
- CMOS集積回路では、処理に必要な単位時間当たりの演算回数を推定することにより、電源電圧とクロック周波数を制御して消費電力を削減することができる。表の(ア)~(エ)に入る語として「高」または「低」のどちらかを選び、表を完成させよ。

	電源電圧	クロック周波数
高速処理が要求される場合	(ア)	(イ)
低速処理でも間に合う場合	(ウ)	(エ)