

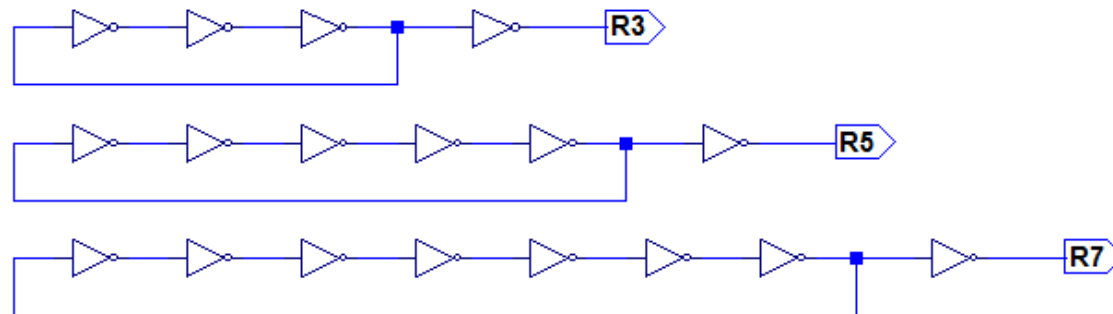
演習6. 1. 2

- (1) インバータ3段、5段、7段のリングオシレータの回路シミュレーションを行い、それぞれの発振周波数とインバータの平均遅延時間を求めよ。動作確認のため、シミュレーションによる出力波形、回路図、詳細なネットリスト(Expanded List)も示すこと。
- (2) インバータのファンアウト数を1～4まで変えた時の遅延時間とファンアウト数の関係をグラフで表せ。動作確認のため、シミュレーションによる出力波形も示すこと。全てのインバータに配線の寄生容量として1fFを付加せよ。グラフは、グラフ作成ソフトまたはグラフ用紙を用いて作成すること。

(参考) 平均遅延時間の測定回路

インバータ内部の回路にもVDDを接続

```
.lib cmos.lib  
.global VDD  
.tran 0 40ns 30ns
```



```
.meas TRAN time3 trig V(R3)=2.5V rise=3 targ V(R3)=2.5V rise=4
```

```
.meas TRAN time5 trig V(R5)=2.5V rise=3 targ V(R5)=2.5V rise=4
```

```
.meas TRAN time7 trig V(R7)=2.5V rise=3 targ V(R7)=2.5V rise=4
```

解析の種類

結果の保存変数

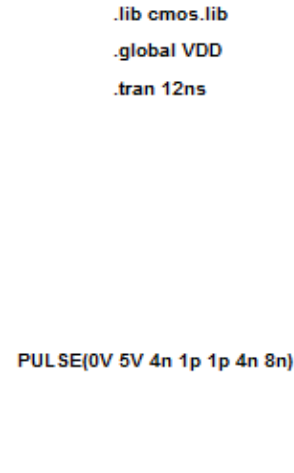
4回目の立ち上がりで2.5Vを通過するまでの時間を測定

3回目の立ち上がりで2.5Vを通過する時刻を基準点

測定結果は、メニューより View > SPICE Error Log で確認

(参考)ファンアウト数の測定回路

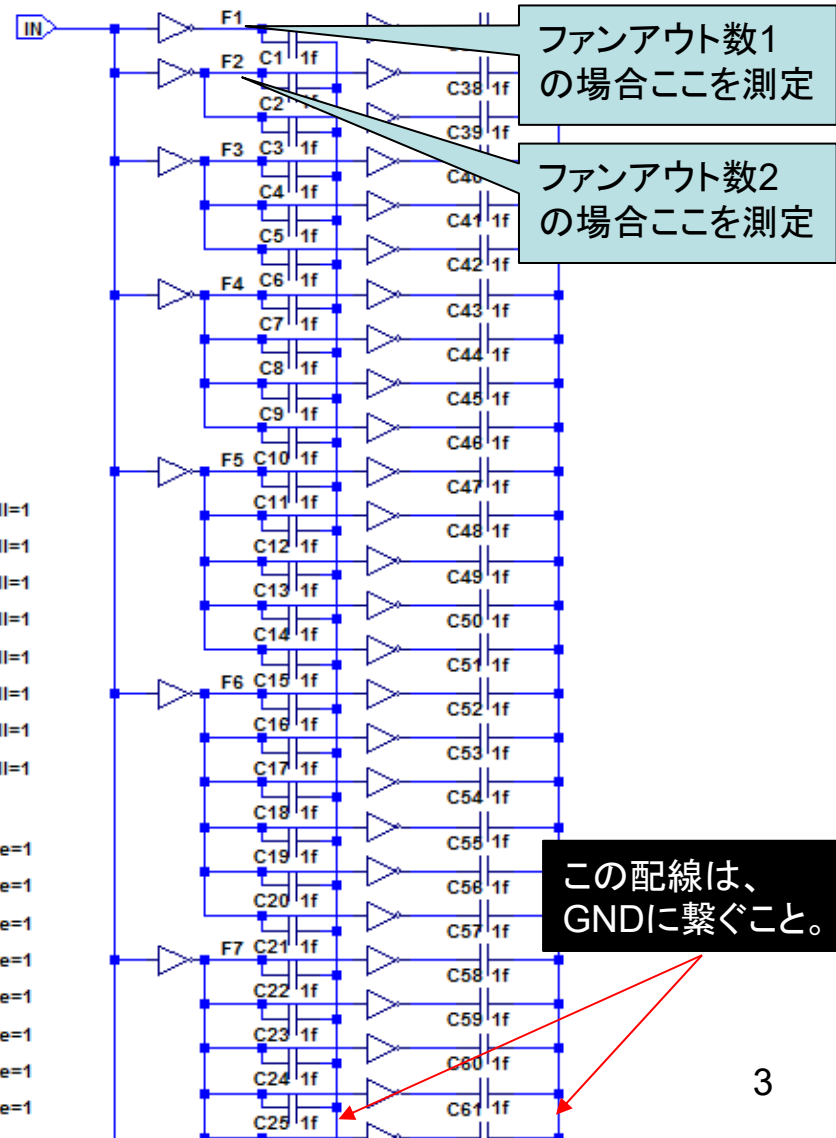
V(IN)が立ち上がりで
2.5Vを通過する時刻から
V(F1)が立ち下がり
2.5Vを通過するまでの
時間を測定



```
.lib cmos.lib
.global VDD
.tran 12ns

.meas TRAN Tdf1 trig V(IN)=2.5V rise=1 targ V(F1)=2.5V fall=1
.meas TRAN Tdf2 trig V(IN)=2.5V rise=1 targ V(F2)=2.5V fall=1
.meas TRAN Tdf3 trig V(IN)=2.5V rise=1 targ V(F3)=2.5V fall=1
.meas TRAN Tdf4 trig V(IN)=2.5V rise=1 targ V(F4)=2.5V fall=1
.meas TRAN Tdf5 trig V(IN)=2.5V rise=1 targ V(F5)=2.5V fall=1
.meas TRAN Tdf6 trig V(IN)=2.5V rise=1 targ V(F6)=2.5V fall=1
.meas TRAN Tdf7 trig V(IN)=2.5V rise=1 targ V(F7)=2.5V fall=1
.meas TRAN Tdf8 trig V(IN)=2.5V rise=1 targ V(F8)=2.5V fall=1

.meas TRAN Tdr1 trig V(IN)=2.5V fall=1 targ V(F1)=2.5V rise=1
.meas TRAN Tdr2 trig V(IN)=2.5V fall=1 targ V(F2)=2.5V rise=1
.meas TRAN Tdr3 trig V(IN)=2.5V fall=1 targ V(F3)=2.5V rise=1
.meas TRAN Tdr4 trig V(IN)=2.5V fall=1 targ V(F4)=2.5V rise=1
.meas TRAN Tdr5 trig V(IN)=2.5V fall=1 targ V(F5)=2.5V rise=1
.meas TRAN Tdr6 trig V(IN)=2.5V fall=1 targ V(F6)=2.5V rise=1
.meas TRAN Tdr7 trig V(IN)=2.5V fall=1 targ V(F7)=2.5V rise=1
.meas TRAN Tdr8 trig V(IN)=2.5V fall=1 targ V(F8)=2.5V rise=1
```



ファンアウト数1
の場合ここを測定

ファンアウト数2
の場合ここを測定

この配線は、
GNDに繋ぐこと。