

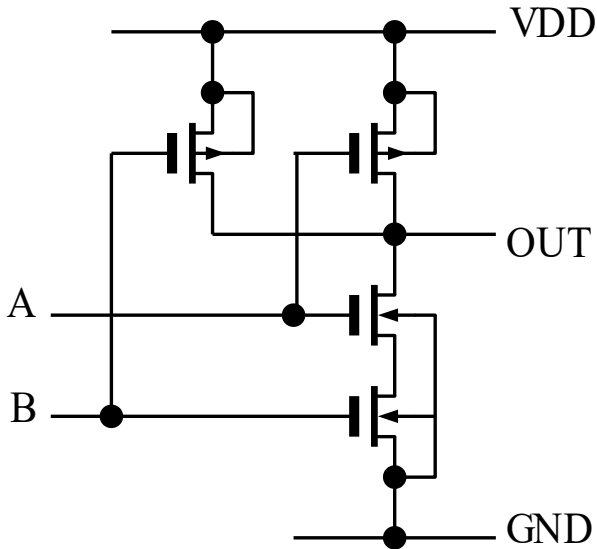
演習5. 2. 1









- 次～次々頁のレイアウトに記入された一点鎖線(3)～(5)に沿う断面図を作成せよ。図面上の寸法として、ゲート酸化膜厚さを約2nm, フィールド酸化膜厚さを約20nmとして描くこと。水平方向の寸法は任意に決めてよい。テクノロジーは、n-wellのCMOSテクノロジーとする。

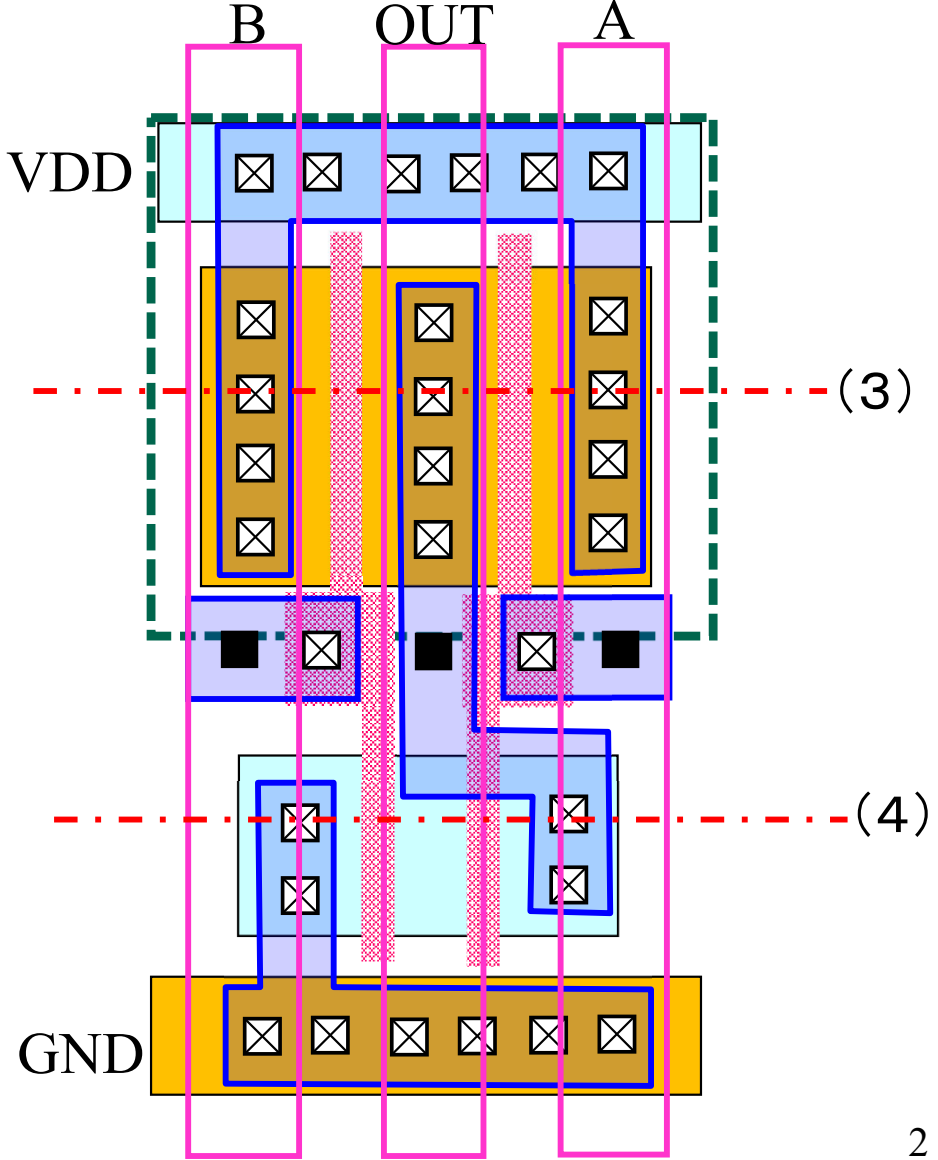
[注意] 以下の条件を満たしていない場合は0点とする

- 手書きの場合は、定規を使用して作図すること
- ゲート、ドレイン、ソースの配置が自己整合しているように描くこと

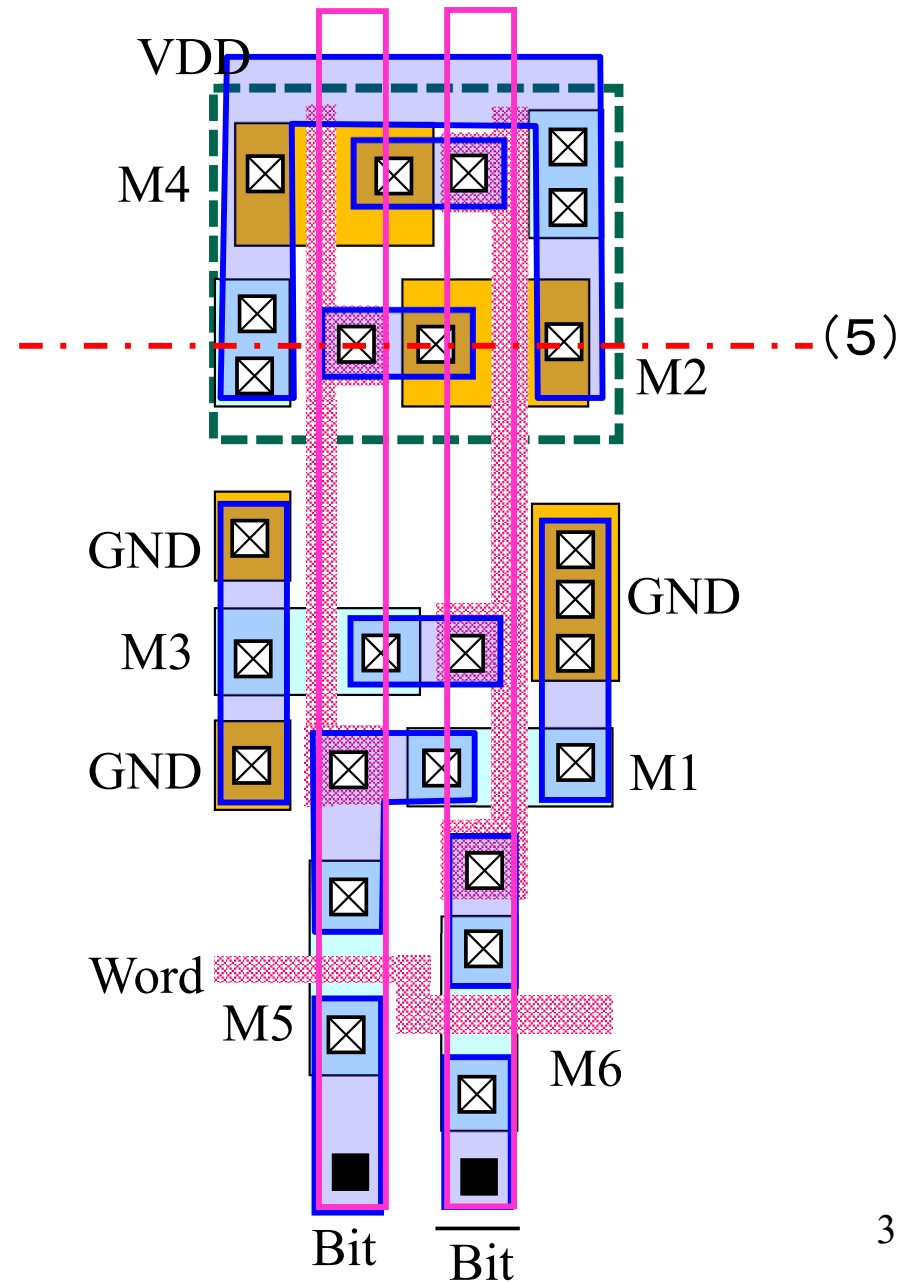
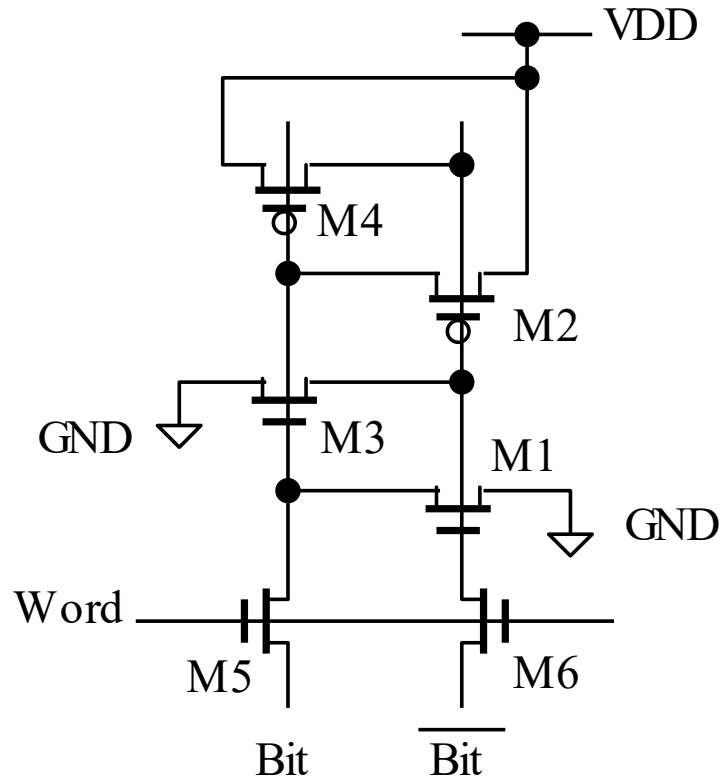
CMOS NANDゲートのレイアウト例





- | | | | |
|---|---------------|---|---------|
|  | n-well |  | contact |
|  | n-active (n+) |  | metal-1 |
|  | p-active (p+) |  | via |
|  | poly-Si |  | metal-2 |



CMOS SRAMセルのレイアウト例



- | | |
|---|---|
|  n-well |  contact |
|  n-active (n+) |  metal-1 |
|  p-active (p+) |  via |
|  poly-Si |  metal-2 |

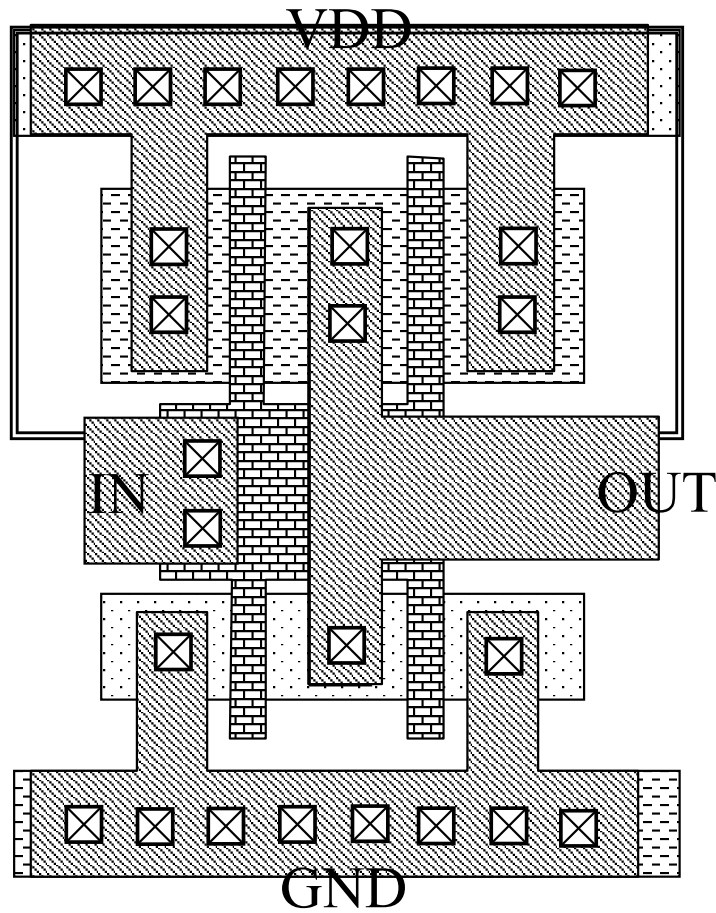
演習5. 2. 2

- 次スライドのレイアウト例(1),と(2)に相当する回路図を示せ。また、回路図中の各MOSFETの L , W , AD , AS , M の値も示すこと。ただし、ゲート長 L_g は、p-ch MOSFET、n-ch MOSFETともに40nm, ゲート幅 W_g は、p-ch MOSFETが200nm、n-ch MOSFETが100nm、ドレイン長 L_d とソース長 L_s は、p-ch MOSFET、n-ch MOSFETともに120nmとする

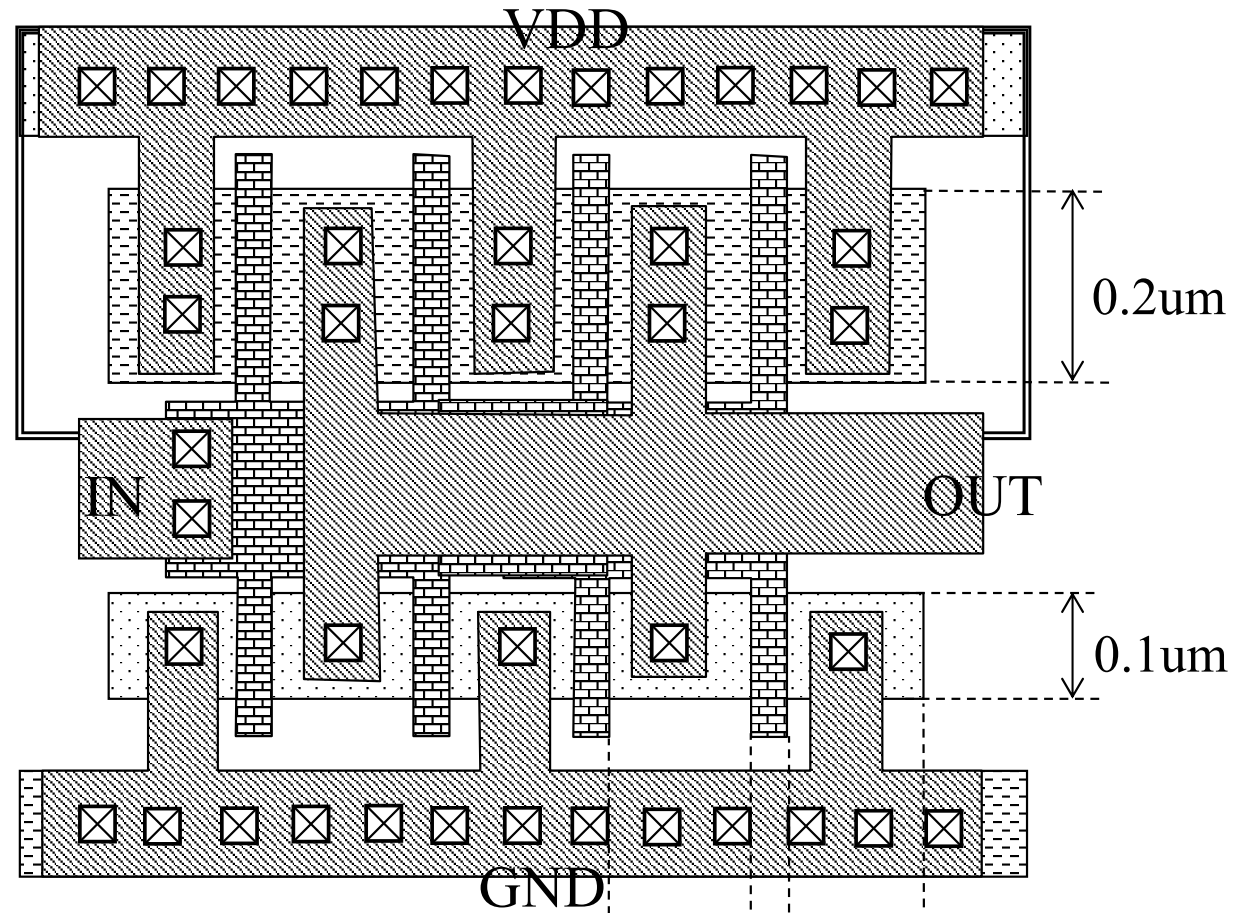
(注) AD と AS の値として、それぞれ、面積の合計/ M を求めよ

レイアウト例

n-well
 p-active
 n-active
 poly-Si
 contact
 metal-1



レイアウト(1)



レイアウト(2) 0.12um 0.12um 40nm