

集積回路工学第 1 演習例題回路の解説

© 金沢大学 集積回路工学研究室(MeRL)

第 2 章と第 3 章の内容が基礎知識として必要です。

1. セレクタの論理機能

実習では、セレクタ (マルチプレクサ) の回路図とレイアウト図を作成し、検証を行う。回路図を図 1 に、真理値表と Verilog-HDL 記述を表 1 に示す。

マルチプレクサ (セレクタ) は、制御信号(SEL)の値に従って、複数の入力(A, B)のうちどれか一つを選んで、出力(Y)する回路である。複数の機能を持つ回路の機能選択などに使用される。講義資料の 32bit ALU (算術論理演算ユニット) への応用例を参照すること。

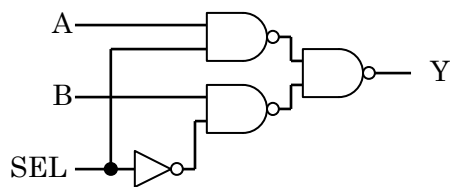


図 1 2 入力マルチプレクサの回路図 (制御信号 SEL、入力 A, B、出力 Y)

表 1 真理値表と Verilog-HDL 記述

SEL	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

```
case (SEL)
    1'b0: Y <= B;
    1'b1: Y <= A;
    default: Y <= 1'bx;
endcase
```

2. 論理ゲートの設計

2 入力セレクタは、プリミティブゲートであるインバータと 2 入力 NAND により構成される。インバータと 2 入力 NAND の CMOS 回路を図 2 に示す。

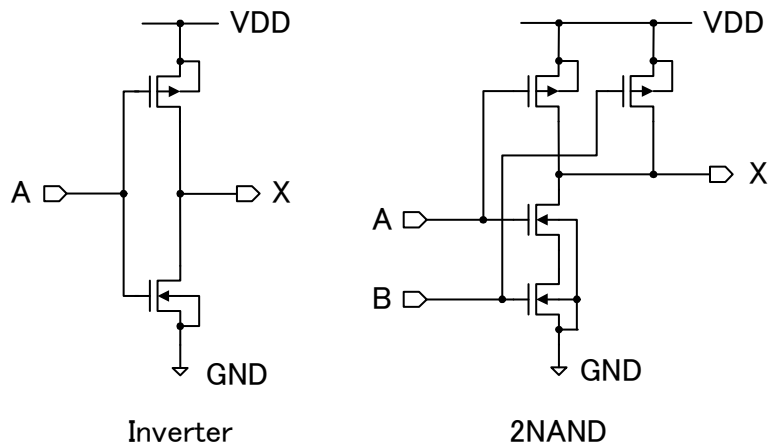


図2 インバータと2入力 NAND の CMOS 回路

MOSFET のゲート幅 L を設計規則における最小寸法とし、ノイズマージンが最大となるように、MOSFET のゲート幅 W を調整する。ノイズマージンは、直流伝達特性のシミュレーションにより決定される。ここでは、予め調整されたインバータと 2NAND を使用する。各 MOSFET の寸法は表 2 のようになっている。

表 2 MOSFET の寸法(W/L)

Inverter		2NAND	
n-ch	p-ch	n-ch	p-ch
2.0u/0.18u	8.0u/0.18u	8.0u/0.18u	8.0u/0.18u

これらのインバータの諸特性を表 3 に示す。これらの特性は、直流解析および過渡応答解析のシミュレーションにより得られる。電源電圧は $V_{DD} = 1.8V$ とする。

表 3 インバータと2入力 NAND の特性

項目	インバータ		2NAND	
	値	備考	値	備考
V_M	0.90V		0.88V	
V_{IL}	0.74V		0.74V	
V_{IH}	1.04V		1.03V	
V_{OL}	0.11V		0.10V	
V_{OH}	1.67V		1.68V	
t_d	100ps	$CL = 100fF$	50ps	$CL = 100fF$