

集積回路工学第 1 例題回路の解説

© 金沢大学 集積回路工学研究室(MeRL)

第 2 章と第 4 章の内容が基礎知識として必要です。

1. セレクタの論理機能

実習では、マルチプレクサの回路図とレイアウト図を作成して、検証を行う。回路図を図 1 に、真理値表と Verilog-HDL 記述を表 1 に示す。

マルチプレクサ (セレクタ) は、制御信号(SEL)の値に従って、複数の入力(A, B)のうちどれか一つを選んで、出力(Y)する回路である。複数の機能を持つ回路の機能選択などに使用される。

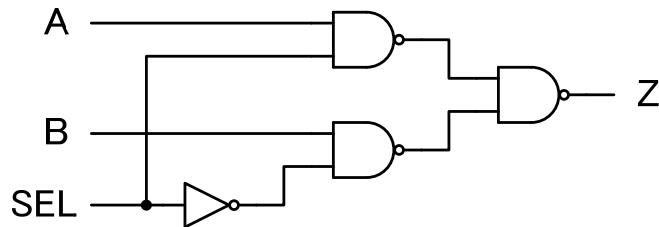


図 1 2 入力マルチプレクサの回路図 (制御信号 SEL、入力 A, B、出力 Z)

表 1 真理値表と Verilog-HDL 記述

SEL	B	A	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

```
module MPX(Z, A, B, SEL);
    input A, B, SEL;    //入力宣言
    output Z;          //出力宣言
    reg Z;              //型宣言

    // always で機能の実行条件を指定
    always @(A or B or SEL) begin
        case (SEL)      //SEL の条件分岐
            1'b0 : Z <= B;
            1'b1 : Z <= A;
            default : Z <= 1'bx;
        endcase
    end
endmodule
```

2. 論理ゲートの設計

2 入力セレクタは、インバータと 2 入力 NAND により構成される。インバータと 2 入力 NAND の CMOS 回路を図 2 に示す。

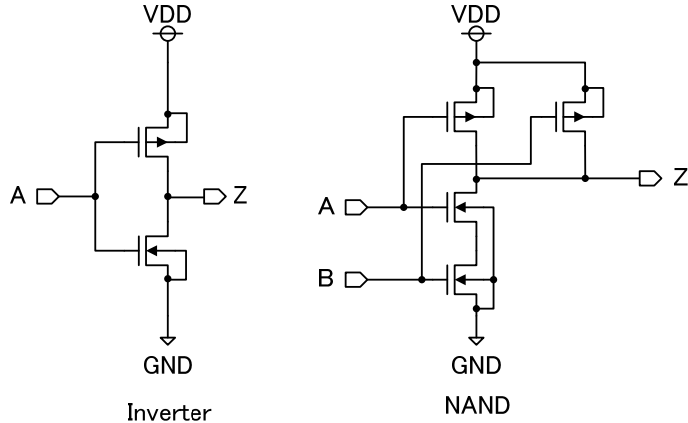


図 2 インバータと 2 入力 NAND の CMOS 回路

2. MOSFET サイズ

マスタスライスの設計では、予めコンプリメンタリーMOSFET¹、抵抗、容量などが用意されており、フルカスタム設計のようにユーザが構造や値を変更することはできない。このため、並列接続と直列接続により所望の特性を実現する。MOSFET は、並列接続(Multiplier の値を変更)により、等価的に W の値を大きくし、直列接続 (回路図上で接続する) により、等価的に L の値を大きくする。抵抗やキャパシタも、回路図上で直列または並列接続することにより必要な値を実現する。図 3 に 2 個の MOSFET の並列接続と直列接続の方法を示す。並列接続は、MOSFET のプロパティ設定で $\text{Multiplier} = 2$ を設定する²。

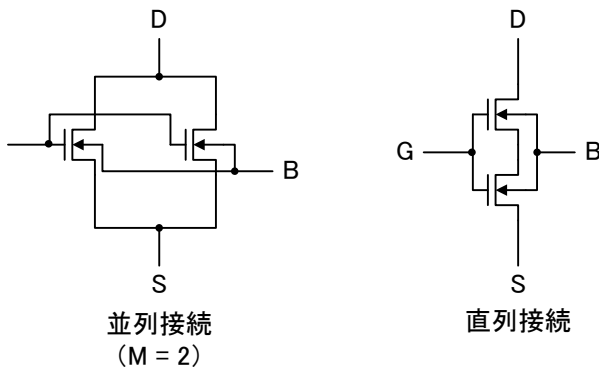


図 3 n-ch MOSFET の並列接続と直列接続

¹ コンプリメンタリーは、電圧、電流の正負が逆で電流-電圧特性カーブが等しい 1 対のデバイスを指す。MOSFET の場合、特性カーブが等しい n-ch と p-ch MOSFET の対をいう。

² Multiplier は並列接続数を表し、プロパティ値を与える代わりに、回路図上で並列接続してもよいが、回路シミュレータは、Multiplier の値が設定されていると、全く同じ特性の MOSFET として計算を省略するため、計算量を削減できる。

マルチプレクサに使用するインバータと NAND ゲートで使用する各 MOSFET は、 M の値を次のように設定することにより適切なノイズマージンを実現する (4.4 論理ゲートの直流伝達特性を参照)。

表 2 MOSFET の Multiplier の値

Inverter		NAND	
n-ch	p-ch	n-ch	p-ch
1	1	4	1