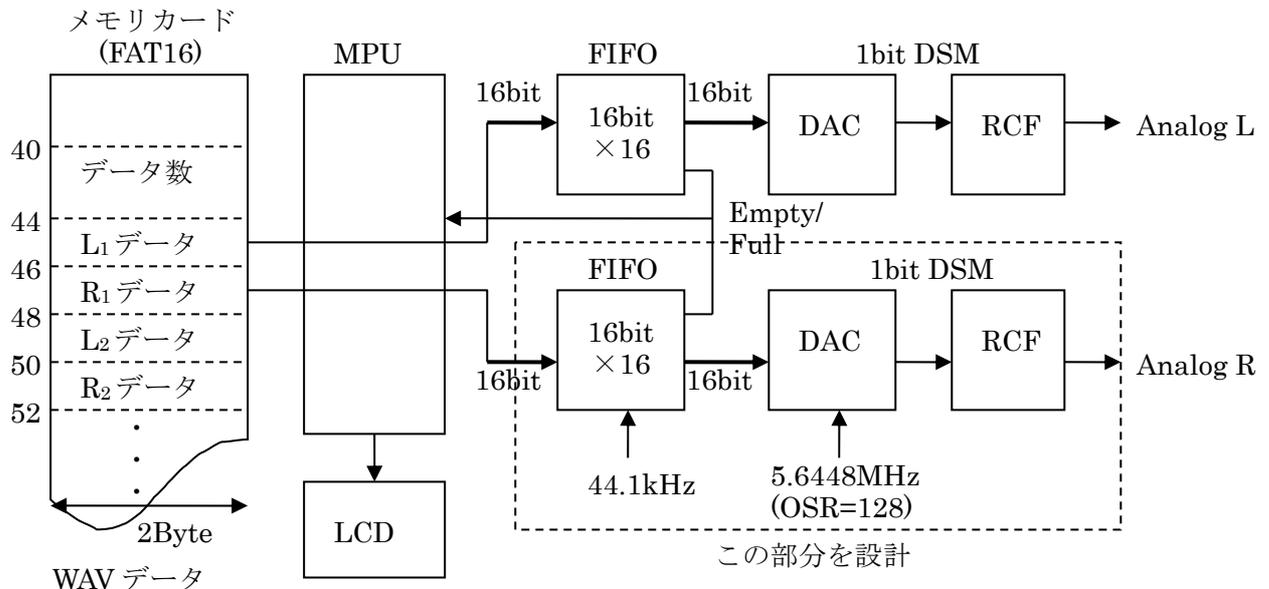


デジタル電子回路 演習例題回路の解説

© 金沢大学 集積回路工学研究室(MeRL)

5.4 節の内容が基礎知識として必要です。

1. システム構成とデータの形式



MPU から 16bit (リニア) × 16word の FIFO メモリに音声データを補充し、音切れがないようにする。左チャンネルと右チャンネル各々に 16bit, 44.1k Sample/s の DAC を使用する。DAC は、1bit の Δ-Σ 変調出力とし、RCF (連続時間フィルタ) によりアナログ波形を出力する。本実習では、MPU の代わりに、16bit NCO(Numerically Controlled Oscillator)を用いて FIFO メモリに三角波を入力している。

2. DAC の仕様と構造

DAC 仕様例

入力サンプリングレート f_N	44.1kHz
入力ワード N_i	16bit
出力帯域幅 f_B	20kHz
出力 SNR	70dB
通過帯域平坦性 R_{pb}	±0.1dB
オーバーサンプリングレート OSR	128
量子化ビット数 N_Q	1bit
全高調波歪 THD	-70dB
電源電圧 V_{DD}	1.5 ~ 2.1V Typ. 1.8V
温度 T_{op}	-25°C ~ 125°C Typ. 25°C

以上より、回路構成を決定する。

(1) Δ - Σ モジュレーション(DSM)次数

出力サンプリングレート $f_s = 128f_N = 5.64\text{MHz}$ 、量子化ビット数 $N_Q = 1$ より、

$$1 \text{ 次量子化 SNR} = \text{SNR}_1 = 6.02N_Q + 1.76 - 5.17 + 30\log\text{OSR} = 65.8\text{dB}$$

$$2 \text{ 次量子化 SNR} = \text{SNR}_2 = 6.02N_Q + 1.76 - 12.9 + 50\log\text{OSR} = 100.2\text{dB}$$

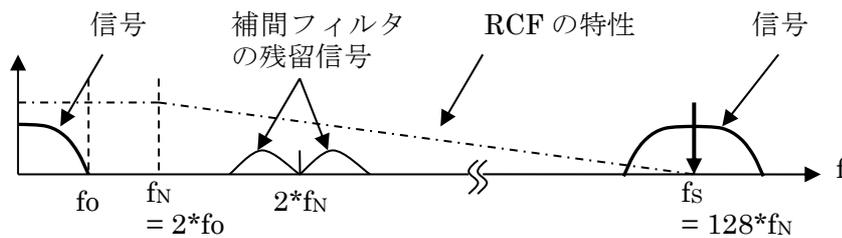
$\text{SNR} > 70\text{dB}$ を達成するために、 Δ - Σ モジュレータの次数 $L = 2$ を使用する。

(2) 補間フィルタ(IPF)段数

Δ - Σ モジュレータの次数 L より、補間フィルタの必要段数 $N_{\text{IPF}} = L + 1 = 3$ 段とする (5.3 節参照)。

(3) 再構成フィルタ(RCF)の次数

$n \cdot f_s$ 周波数以外の残留信号は補間フィルタにより十分抑制されていると仮定し、 SNR を確保するため、 f_s における信号を -70dB 以上抑制するため、2 次 LPF を使用する。(実際は、補間フィルタの残留信号を完全に消すため -100dB ぐらい欲しいところ)

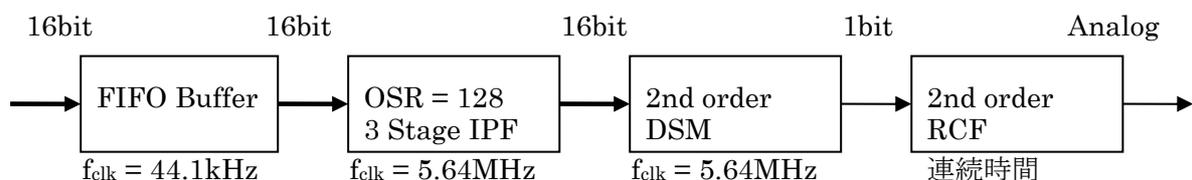


1 次 LPF を使用する場合

$$\text{減衰量}(dB) = -20\log\frac{f_s}{f_N} = -20\log 128 = -42.1(dB)$$

2 次 LPF を使用する場合

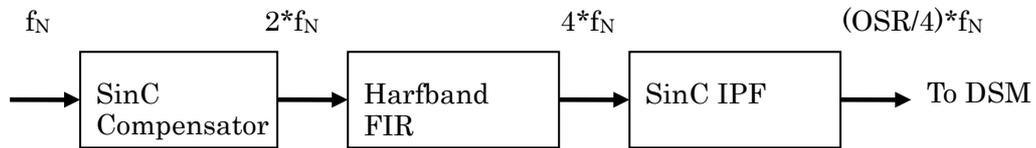
$$\text{減衰量}(dB) = -40\log\frac{f_s}{f_N} = -40\log 128 = -84.3(dB)$$



DAC の全体構成

3. 補間フィルタの設計

一般的な補間フィルタの構成は、下記のようになるが、SinC 補償フィルタ、ハーフバンド FIR フィルタは、高次の伝達関数となるので HDL 記述が大変。ここでは、HDL 記述が容易な線形補間フィルタ(SinC フィルタ)だけを実装する。



※ 線形補間フィルタは、差分(Comb)と積分(Integer)の伝達関数に分解できるので Cascaded Integral-Comb Filter(CIC フィルタ)とも呼ぶ。また周波数特性が Sinc 関数となるので、Sinc フィルタともいう。

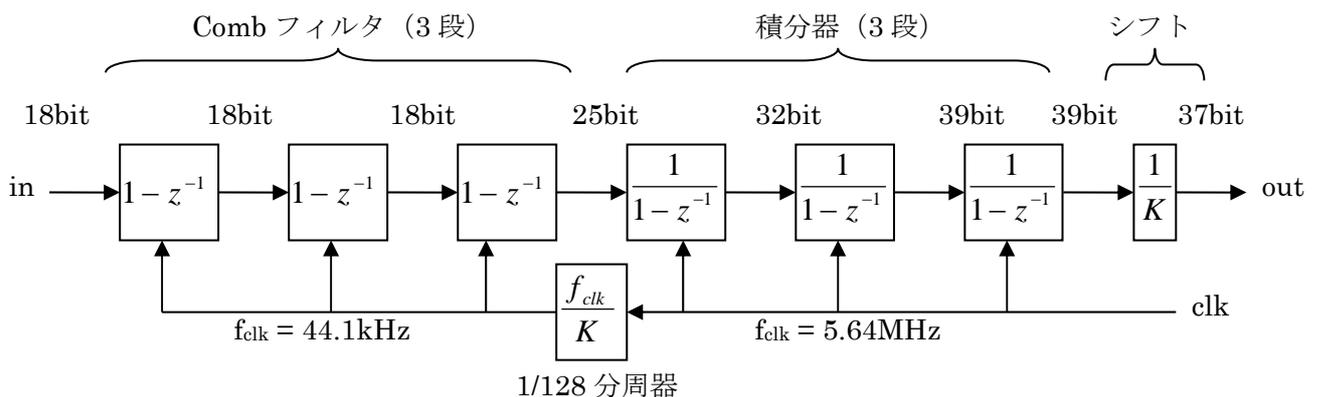
線形補間フィルタの仕様

補間レート K	128
入力ワード Ni	16bit
フィルタ段数 N _{IPF}	3

線形補間フィルタの伝達関数

$$H(z) = \left[\frac{1}{K} \frac{1 - z^{-K}}{1 - z^{-1}} \right]^{N_{IPF}}$$

線形補間フィルタ (N_{IPF} = 3 段) のシグナルフロー

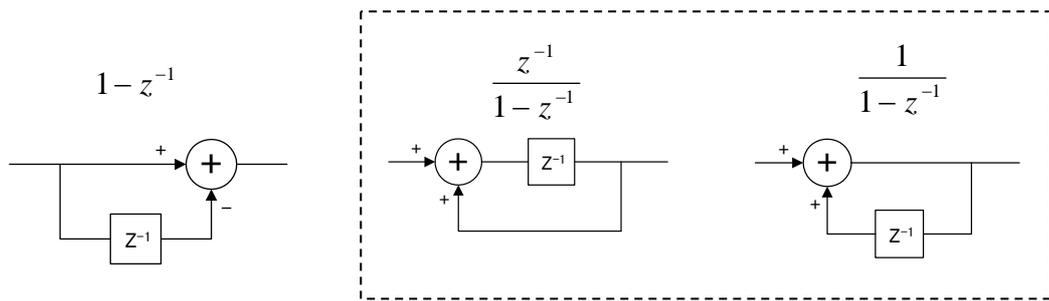


Comb フィルタでは、K 回の遅延を行う代わりに、1 個のレジスタを、 f_{clk}/K (ナイキストレート) のクロック周波数で動作させ、等価的に K クロック周期の遅延を作り出すことにより、消費電力と回路規模を削減する。Comb フィルタは内部で信号の減算を行うため、 $1bit * (N_{IPF} - 1) = 2bit$ 符号拡張しておく (実際、この対策をしないと正の最大値が入力された時点で誤動作を起こすので、時間に余裕のある人は試してみよう)。

積分器は、1 入力に対して K 回の累算を行うため、入力ビット数 $+\log_2 K$ のビット幅が必要となる。加算器がオーバーフローしないように、入力信号を出力信号のビット幅に合わせて符号拡張を行う必要がある。 $K = 128$ では、累算 1 段あたりに $\log_2(128) = 7(\text{bit})$ の符号拡張が必要となる。

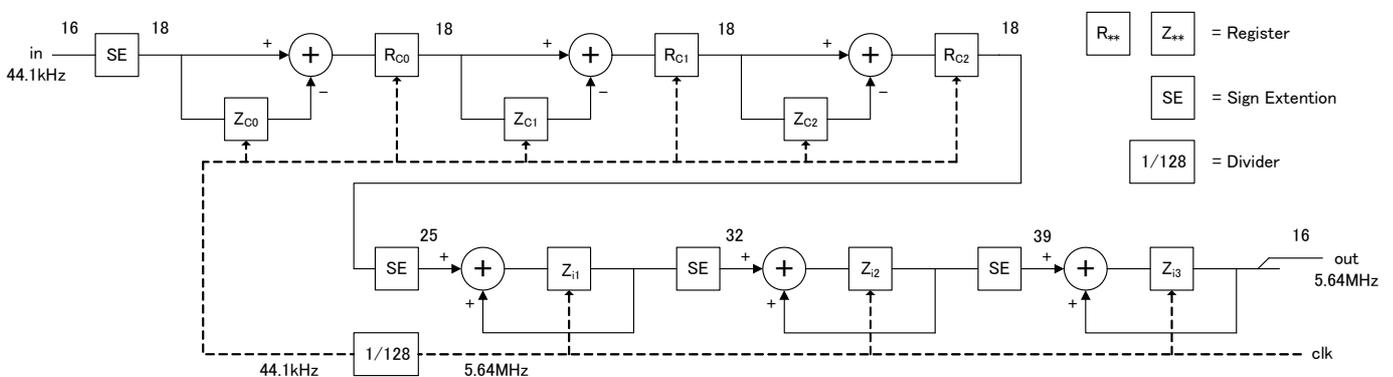
$1/K$ 倍の演算は、 $K = 128$ の場合、 $\log_2(1/K) = \log_2(1/128) = -7\text{bit}$ の右シフト演算に相当する。実際には、元のデジタル値が 16bit しかないため、16bit 以上の精度で出力しても意味がないので、上位 16bit だけを出力とする。

さらに、シグナルフローを分解して、具体的回路構成を得る。



出力波形は同じだが、ここでは左の形式を使う（回路が簡単）

具体的な回路構成



4. Δ - Σ モジュレータの設計

ここでは、2 次エラー・フィードバック型のデジタル Δ - Σ モジュレータを使用する（プリント 5.5 節参照）。

Δ - Σ モジュレータの仕様

次数 L	2
入力ワード N_i	16bit

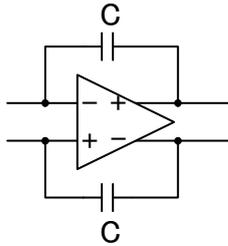
このブロックダイアグラムは、下記の 2 次の LPF 型の伝達関数と対応付けることができる。

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{c}{s^2 + d \cdot s + e}$$

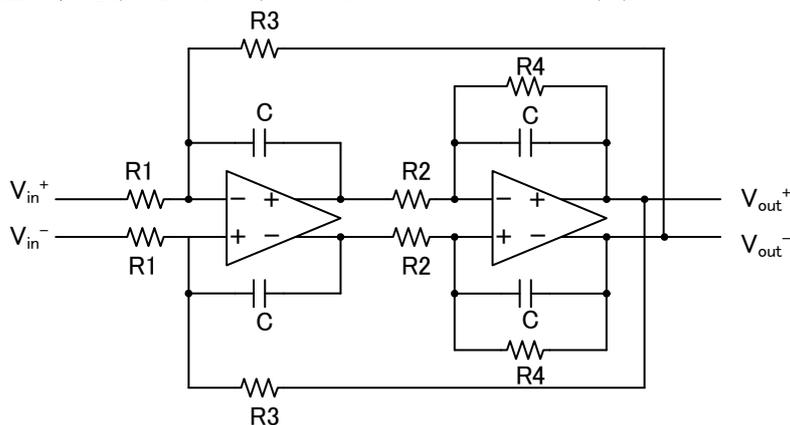
上記回路定数との対応は下記のようになる。

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{\frac{G_{m0}G_{m1}}{C^2}}{s^2 + \frac{\beta_1}{C}s + \frac{G_{m1}\beta_0}{C^2}} \quad \left\{ \begin{array}{l} c = \frac{G_{m0}G_{m1}}{C^2} \\ d = \frac{\beta_1}{C} \\ e = \frac{G_{m1}\beta_0}{C^2} \end{array} \right.$$

電流加算を行うためには、 G_{m0} , G_{m1} , β_0 , β_1 はコンダクタンス（実数）でなければならないので、次のように抵抗値で表すことができる。また、 $-1/sC$ は、次の電流加算を行う連続時間積分器に置き換える。

$$\left\{ \begin{array}{l} G_{m0} = \frac{1}{R1} \\ G_{m1} = \frac{1}{R2} \\ \beta_0 = \frac{1}{R3} \\ \beta_1 = \frac{1}{R4} \end{array} \right. \quad \boxed{-1/sC} = \text{Circuit Diagram}$$


以上の置き換えにより、ブロックダイアグラムは、次の回路で表現される。

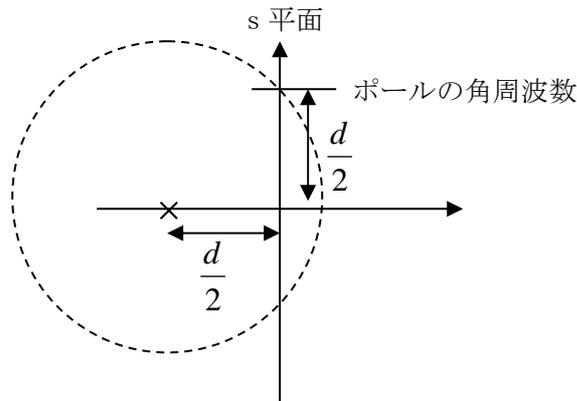


ポールの周波数の計算（3.3 節参照）

$$pole = -\frac{d}{2} \pm \sqrt{\frac{d^2}{4} - e}$$

$$\left\{ \begin{array}{l} d = \frac{\beta_1}{C} = \frac{1}{C \cdot R4} \\ e = \frac{G_{m1}\beta_0}{C^2} = \frac{1}{C^2 \cdot R2 \cdot R3} \end{array} \right.$$

ポールの周波数を $f_p = f_N = 2f_0$ に設定し、1 実数のポールを持つ伝達関数となるように定数を決めてみよう（計算が簡単）。



$$\begin{cases} \omega_N (\text{rad/s}) = 2\pi f_N = \frac{g}{2} = \frac{1}{2C \cdot R4} & (1) \quad f_p = \text{ナイキスト周波数の条件} \\ h - \frac{g^2}{4} = \frac{1}{R2 \cdot R3} - \frac{1}{4 \cdot R4^2} = 0 & \text{ポールが 1 実数となる条件} \end{cases}$$

ポールが 1 実数となる条件より

$$R2 \cdot R3 = 4 \cdot R4^2 \quad (2)$$

直流利得 G は下記のようになる。

$$G = \frac{G_{m0}}{\beta_0} = \frac{R3}{R1} \quad (3)$$

条件式(1) – (3)より、回路定数を決定する。

数値例： $f_N = 44.1\text{kHz}$, $G=1$ (倍), $C=100\text{pF}$ のとき

(2)より、
$$R4 = \frac{1}{2C \cdot 2\pi \cdot f_N} = 18.04\text{k}\Omega$$

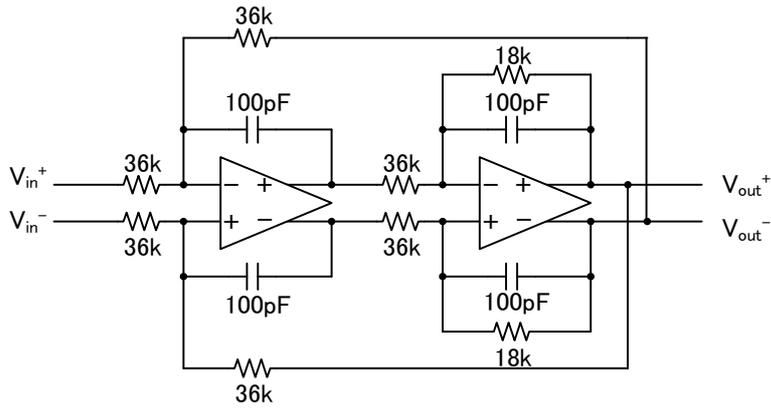
抵抗値の比は整数にすると利得の精度がよくなるので、次のように抵抗値を選んでみる。

$$R2 = R3 = 2 \cdot R4 = 36.08\text{k}\Omega$$

$$G = \frac{R3}{R1} = 1\text{より、} R1 = R3 = 36.08\text{k}\Omega$$

以上の数値例より、次の回路が得られる。

(参考) $C = 100\text{pF}$ の容量は、集積回路上では非常に大きな面積となるため、チップの外部に出すことを検討する必要がある。



実習では、抵抗値をいろいろ変えて RCF の周波数特性のシミュレーション(AC 解析)を実施してみよう。試しに、 $R_2 = 1k\Omega$ に変更すると、ポールの周波数付近に、LC 共振のようなピークが表れるはずだ。